

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 10 月 15 日
Application Date

申請案號：092128630
Application No.

申請人：友達光電股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 12 月 9 日
Issue Date

發文字號：09221246950
Serial No.

申請日期：	IPC分類
申請案號： 92128620	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	形成CMOS電晶體之方法
	英 文	
二、 發明人 (共2人)	姓 名 (中文)	1. 陳坤宏 2. 陳明炎
	姓 名 (英文)	1. CHEN, KUN-HONG 2. CHEN, MING-YAN
	國 籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中 文)	1. 台北縣淡水鎮新興里20鄰新春街81號8F 2. 新竹縣竹北市縣政九路28巷3之1號2樓
	住居所 (英 文)	1. 2.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 友達光電股份有限公司
	名稱或 姓 名 (英文)	1. AU OPTRONICS CORP.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹市新竹科學工業園區力行二路1號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. No. 1, Li-Hsin Road 2, Science-Based Industrial Park, Hsinchu, Taiwan, R.O.C.
	代表人 (中文)	1. 李焜耀
	代表人 (英文)	1.



TW1166E(友達).ptd

四、中文發明摘要 (發明名稱：形成CMOS電晶體之方法)

一種於一基板上形成一CMOS電晶體的方法，其中僅需兩道植入步驟，即可形成所有源極與汲極與輕摻雜，首先，係形成一NMOS電晶體之源極與汲極，其利用一遮蓋PMOS電晶體之源極與汲極的光阻層為遮罩，並植入一磷摻質；接著係形成一NMOS電晶體之輕摻雜與一PMOS電晶體之源極與汲極，其利用遮蓋NMOS電晶體之源極與汲極的光阻層與閘極為遮罩，並植入一硼摻質，其中，硼摻質的劑量係小於磷摻質的劑量。

五、(一)、本案代表圖為：第 2D 圖

(二)、本案代表圖之元件代表符號簡單說明：

200：基板

202：緩衝層

204：多晶矽層

六、英文發明摘要 (發明名稱：)



四、中文發明摘要 (發明名稱：形成CMOS電晶體之方法)

204a、204b、204c、204d、204i、204j：源極/汲極

204m、204n、204x、204y：輕摻雜

208：閘極氧化層

210：閘極層

214：光阻層

六、英文發明摘要 (發明名稱：)



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

【發明所屬之技術領域】

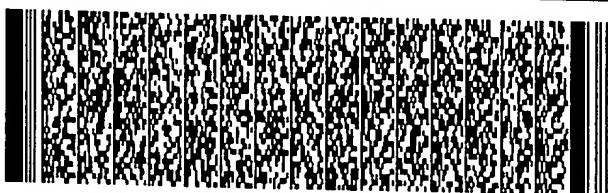
本發明是有關於一種形成CMOS電晶體之製程方法，且特別是有關於一種利用兩次植入形成源極/汲極與輕摻雜之CMOS電晶體的製程方法。

【先前技術】

現今平面顯示器中的薄膜電晶體係多以非晶矽(amorphous silicon)所製程，少數高階產品則以電子移動率高的多晶矽(poly silicon)製程。多晶矽技術可容許整合更多的電子電路，因而可以降低整體產品的複雜度及重量。但由於多晶矽製程中，最高溫度約為300℃以上，遠超過塑膠開始軟化的溫度，故只能適用於玻璃基板。

請參照第1A~1I圖，其係顯示一傳統低溫多晶矽薄膜電晶體的製作流程。首先，於第1A圖中，一緩衝層102、一多晶矽層係依序形成於一基板100上，其中，多晶矽層係利用準分子雷射對一非晶矽層進行結晶回火而形成；接著，再形成一具圖案之光阻層(未顯示於圖中)，並以光阻層為遮罩進行蝕刻，而形成第1A圖所示之多晶矽層104。

接著，參考第1B圖，沈積一層閘極氧化層108於緩衝層102與多晶矽層104之上，並形成一導電層於閘極氧化層108之上，利用微影與蝕刻製程後，形成一閘極110。然後，於第1C圖中，形成一光阻層112，光阻層112係覆蓋整個PMOS電晶體區域以及NMOS電晶體區域之閘極與輕摻雜區域，並以光阻層112為遮罩，植入重濃度之磷摻質，而



五、發明說明 (2)

形成NMOS電晶體之源極/汲極104a、104b、104c與104d。

之後，於第1D圖中，去除殘留之光阻層112，並直接以閘極110為遮罩，對基板100植入輕濃度之磷摻質，而形成NMOS電晶體之輕摻雜104m、104n、104x與104y。接著，於第1E圖中，再次形成一光阻層114，光阻層114係覆蓋整個NMOS電晶體區域，並以光阻層114為遮罩，對基板100植入重濃度之硼摻質，而形成P型電晶體之源極/汲極104i與104j。

於第1F圖中，先去除光阻層114，再形成一內層介電層116於閘極110與閘極氧化層108之上，並形成數個開口於內層介電層116與閘極氧化層108之中。然後，於第1G圖中，形成可以與源極/汲極104a、104b、104c、104d、104i與104j電性連接的電極118。

接著，於第1H圖中，係形成一保護層120於電極層118與內層介電層116之上，並形成開口於畫素區的保護層120中，以暴露電極118。最後，於第1I圖中，形成可以與畫素區之電極118電性連接的透明電極122，以完成具有低溫多晶矽薄膜電晶體的製程。

習知技術共需要八道光罩的製程以及三次離子植入的步驟，才可以完成整個低溫多晶矽薄膜電晶體的製程，其中，八道光罩的製程分別於第1A~1C圖與第1E~1I圖中進行，而三次離子植入的步驟分別於第1C~1E圖中進行。然而，每一個製程步驟均會增加製程成本，因此，實有必要提出一個能夠減少製程步驟的方法。



【發明內容】

有鑑於此，本發明的目的就是在提供一個以較少製程步驟形成CMOS電晶體的製程方法。

根據本發明的目的，提出一種於一基板上形成一第一型電晶體與一第二型電晶體的方法，其中該第一型電晶體具有一輕摻雜區域與第一重摻雜區域，該第二型電晶體具有第二重摻雜區域，該方法至少包括：形成一厚度約為200~1000埃之第一多晶矽層與一第二多晶矽層於該基板上，其中該第一多晶矽層與該第二多晶矽層係對應於該第一型電晶體與該第二型電晶體；沈積一厚度約為500~1500埃之閘極氧化層於該第一多晶矽層與該第二多晶矽層上；形成一由鉬、鉻或鈦/鋁/鈦的其中之一所組成之第一閘極與一第二閘極於該閘極氧化層上，並分別位於該第一多晶矽層與該第二多晶矽層之上方，該第一閘極外部依序圍繞該輕摻雜區域與該第一重摻雜區域，而該第二閘極外部圍繞該第二重摻雜區域；形成一第一型電晶體之第一重摻雜區域於該第一型電晶體之第一重摻雜區域中，其係利用一遮蓋該第二重摻雜區域的光阻層與該第二閘極為遮罩，並植入一第一摻質而形成；以及形成一第一型電晶體之輕摻雜與一第二型電晶體之第二重摻雜分別於該第一型電晶體之輕摻雜區域與該第二型電晶體之第二重摻雜區域中，其係利用遮蓋該第一型電晶體之第一重摻雜區域的光阻層與該第一閘極為遮罩，並植入一第二摻質而形成，該第二摻質的



五、發明說明 (4)

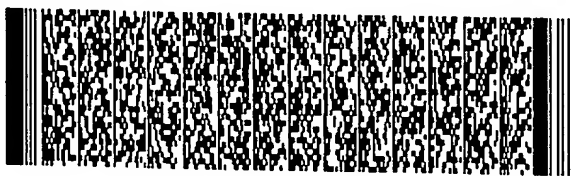
劑量係小於該第一摻質的劑量。本發明之第一摻質的劑量約為 $3e13/cm^2$ 至 $5e15/cm^2$ 之間，第二摻質的劑量約為 $3e13/cm^2$ 至 $5e15/cm^2$ 之間，該第一重摻雜與該第二重摻雜係為源極與汲極。

本發明於該形成一第一型電晶體之輕摻雜與一第二型電晶體之第二重摻雜步驟之後，更包括：形成一厚度約為500~7000埃的內層介電層於該閘極氧化層、該第一閘極與該第二閘極上；選擇性地暴露該第一重摻雜、該第二重摻雜、第一閘極與第二閘極；以及形成由鉬、鉻或鈦/鋁/鈦的其中之一所組成之電極，以電性連接被暴露之該第一重摻雜、該第二重摻雜、第一閘極與第二閘極。

本發明於該形成電極步驟之後，更包括：形成一具圖案之保護層於該內層介電層與該電極之上，該具圖案之保護層係暴露一位於畫素區之第一型電晶體的部分電極；以及形成由銦錫氧化物(ITO)所組成之透明電極，以電性連接第一型電晶體之被暴露的部分電極。

本發明之第一型電晶體係為NMOS電晶體，第二型電晶體係為PMOS電晶體，其中，第一摻質為磷摻質，第二摻質為硼摻質；或是第一型電晶體為PMOS電晶體，第二型電晶體為NMOS電晶體，其中，第一摻質為硼摻質，第二摻質為磷摻質。

為讓本發明之上述目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：



【實施方式】

本發明係提供一能夠減少低溫多晶矽薄膜電晶體之製程步驟的方法。

請參照第2A~2J圖，其係顯示本發明之低溫多晶矽薄膜電晶體的製作流程。首先，於第2A圖中，一緩衝層202、一多晶矽層204，係依序形成於一基板200上，接著，再形成一具圖案之光阻層(未顯示於圖中)，並以光阻層為遮罩進行蝕刻，而形成第2A圖所示之多晶矽層204。

本發明之基板200可為玻璃或塑膠材質，而多晶矽層204的厚度約為200~1000埃，且係利用準分子雷射，對一形成於緩衝層202上之非晶矽層進行結晶回火而形成。左方兩個多晶矽層204係用以形成一CMOS電晶體，而右方的多晶矽層204係用以形成一畫素區中之NMOS電晶體。

緩衝層202可為氧化矽或氮化矽所構成，其係於準分子雷射回火的過程，作為一絕熱層，例如，即使上層的多晶矽層204於回火的過程中溫度高達約1500℃，則一塑膠基板的局部溫度也不會超過約250℃，且局部溫度升高的時間極短，因此，塑膠基板的形狀不致於改變。

然後，參考第2B圖，一閘極氧化層208係形成於緩衝層202與多晶矽層204之上，閘極氧化層208的厚度約為500~1500埃之間，且其材質可為二氧化矽。接著，沈積一導電層於整個基板200之上，並利用微影與蝕刻製程，形成閘極層210，閘極層210可由鉬(Mo)、鉻(Cr)與鈦/鋁/鈦



五、發明說明 (6)

(Ti/Al/Ti) 所組成。

之後，於第2C圖中，藉由微影製程，形成一具圖案之光阻層212於基板210之上，光阻層212係完全覆蓋欲形成CMOS電晶體之PMOS電晶體區域。並以光阻層212為遮罩，對基板200植入重濃度之磷摻質，其劑量約為 3×10^{13} dose/cm² 至 5×10^{15} dose/cm² 之間，以形成重摻雜204A、204B、204C與204D於NMOS電晶體之源極/汲極區域與輕摻雜區域中。此時，重摻雜204A、204B、204C與204D形成於NMOS電晶體之源極/汲極區域中的部分，即為NMOS電晶體之源極/汲極，此部分將於第2D圖中之步驟完成後，再做說明。

之後，於第2D圖中，去除殘留之光阻層212，並再次藉由微影製程，形成一具圖案之光阻層214於閘極氧化層208之上，光阻層214係覆蓋CMOS電晶體之NMOS電晶體之源極/汲極區域，以及畫素區域之NMOS電晶體之源極/汲極區域，且不覆蓋CMOS電晶體之PMOS電晶體區域。並以光阻層214為遮罩，對基板200植入重濃度之硼摻質，其劑量約為 3×10^{13} dose/cm² ~ 5×10^{15} dose/cm² 之間，以形成PMOS電晶體之源極/汲極204i與204j，以及NMOS電晶體之輕摻雜204m、204n、204x與204y。於重摻雜204A、204B、204C與204D中，除了輕摻雜204m、204n、204x與204y，其餘的即為NMOS電晶體之源極/汲極204a、204b、204c與204d。

值得注意的是，本發明於植入硼摻質所使用的劑量，必須小於植入磷摻質所使用的劑量，如此，則進行了硼摻

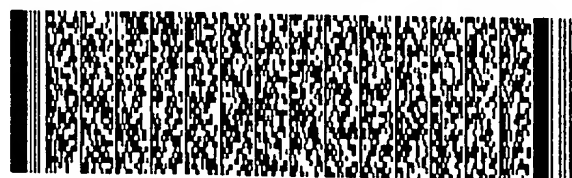
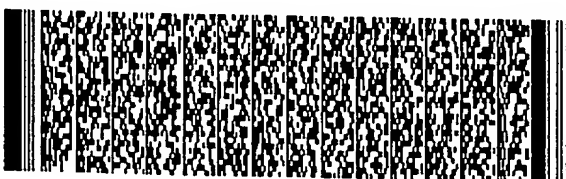


五、發明說明 (7)

質與磷摻質兩次植入之NMOS電晶體的輕摻雜區域，才可以具有輕摻雜204m、204n、204x與204y。當然，本發明之實施例並不限於形成具有輕摻雜的NMOS電晶體，形成具有輕摻雜的PMOS電晶體亦可為本發明之另一實施例，此時，利用光阻層212為遮罩所進行之植入步驟，係植入硼摻質，利用光阻層214為遮罩所進行之植入步驟，係植入磷摻質，且植入硼摻質所使用的劑量，必須大於植入磷摻質所使用的劑量。

接著，於第2E圖中，先去除光阻層214，再形成一內層介電層216於整個基板200之上，並利用微影與蝕刻製程，形成數個開口，於內層介電層216與閘極氧化層208之中，內層介電層216可由二氧化矽組成，其厚度約為500~7000埃。然後，於第2F圖中，形成一導電層於內層介電層216之上，並填滿位於內層介電層216與閘極氧化層208之中的開口，再利用微影與蝕刻製程，形成可以與閘極210以及源極/汲極204a、204b、204c、204d、204i與204j之部分，電性連接的電極218。此實施例所顯示係為電極218與源極/汲極204a、204b、204c、204d、204i與204j電性連接的情形。

接著，於第2G圖中，係形成一保護層220於電極218與內層介電層216之上，並利用微影與蝕刻製程，形成開口於畫素區的保護層220中。最後，於第2H圖中，形成由銦錫氧化物(ITO)所組成之導電層於保護層220之上，並填滿保護層220之中的開口，再利用微影與蝕刻製程，形成可

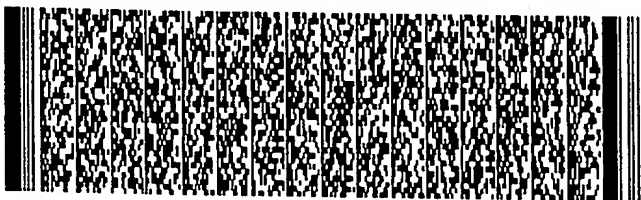


五、發明說明 (8)

以與畫素區之電極218電性連接的透明電極222，以完成具有低溫多晶矽薄膜電晶體的製程。

本發明上述實施例所揭露之製程方法，總共只需要八道光罩的製程以及兩次離子植入的步驟，就可以完成整個低溫多晶矽薄膜電晶體的製程，其中，八道光罩的製程分別於第2A～2H圖中進行，而兩次離子植入的步驟分別於第2C圖與第2D圖中進行。綜觀本發明之方法，係比習知技術少一個離子植入的步驟，因此，可以大大地減少製程的成本。

綜上所述，雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

【圖式簡單說明】

第1A~1I圖，其係顯示一傳統低溫多晶矽薄膜電晶體的製作流程。

第2A~2H圖，其係顯示本發明之低溫多晶矽薄膜電晶體的製作流程。

圖式標號說明

100：基板

102：緩衝層

104：多晶矽層

104a、104b、104c、104d、104i、104j：源極/汲極

區

104m、104n、104x、104y：輕摻雜區

105：光阻層

108：閘極氧化層

110：閘極層

112：光阻層

114：光阻層

116：內層介電層

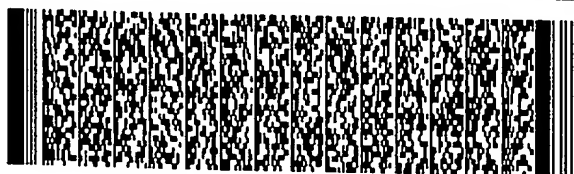
118：電極

120：保護層

122：透明電極

200：基板

202：緩衝層



圖式簡單說明

204 : 多晶矽層

204A、204B、204C、204D : 源極/汲極

204a、204b、204c、204d、204i、204j : 源極/汲極

204m、204n、204x、204y : 輕摻雜

208 : 閘極氧化層

210 : 閘極層

212 : 光阻層

214 : 光阻層

216 : 內層介電層

218 : 電極

220 : 保護層

222 : 透明電極



六、申請專利範圍

1. 一種於一基板上形成一第一型電晶體與一第二型電晶體的方法，其中該第一型電晶體具有一輕摻雜區域與第一重摻雜區域，該第二型電晶體具有第二重摻雜區域，該方法至少包括：

形成一第一多晶矽層與一第二多晶矽層於該基板上，其中該第一多晶矽層與該第二多晶矽層係對應於該第一型電晶體與該第二型電晶體；

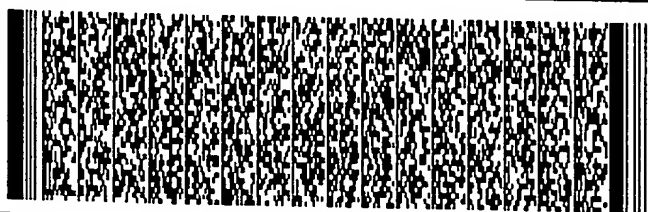
沈積一閘極氧化層於該第一多晶矽層與該第二多晶矽層上；

形成一第一閘極與一第二閘極於該閘極氧化層上，並分別位於該第一多晶矽層與該第二多晶矽層之上方，該第一閘極外部依序圍繞該輕摻雜區域與該第一重摻雜區域，而該第二閘極外部圍繞該第二重摻雜區域；

形成一第一型電晶體之第一重摻雜於該第一型電晶體之第一重摻雜區域中，其係利用一遮蓋該第二重摻雜區域的光阻層與該第二閘極為遮罩，並植入一第一摻質而形成；以及

形成一第一型電晶體之輕摻雜與一第二型電晶體之第二重摻雜分別於該第一型電晶體之輕摻雜區域與該第二型電晶體之第二重摻雜區域中，其係利用遮蓋該第一型電晶體之第一重摻雜區域的光阻層與該第一閘極為遮罩，並植入一第二摻質而形成，該第二摻質的劑量係小於該第一摻質的劑量。

2. 如申請專利範圍第1項所述之方法，其中該形成一



六、申請專利範圍

第一多晶矽層與一第二多晶矽層步驟之前，更包括形成一緩衝層於該基板上之步驟。

3. 如申請專利範圍第1項所述之方法，於該形成一第一型電晶體之輕摻雜與一第二型電晶體之第二重摻雜步驟之後，更包括：

形成一內層介電層於該閘極氧化層、該第一閘極與該第二閘極上；

選擇性地暴露該第一重摻雜、該第二重摻雜、第一閘極與第二閘極；以及

形成電極以電性連接被暴露之該第一重摻雜、該第二重摻雜、第一閘極與第二閘極。

4. 如申請專利範圍第3項所述之方法，其中該內層介電層的厚度約為500~7000埃。

5. 如申請專利範圍第3項所述之方法，其中該電極係為鉬、鉻或鈦/鋁/鈦的其中之一所組成。

6. 如申請專利範圍第3項所述之方法，於該形成電極步驟之後，更包括：

形成一具圖案之保護層於該內層介電層與該電極之上，該具圖案之保護層係暴露一位於畫素區之第一型電晶體的部分電極；以及

形成透明電極以電性連接第一型電晶體之被暴露的部分電極。

7. 如申請專利範圍第6項所述之方法，其中該透明電極係為銦錫氧化物(ITO)所組成。



六、申請專利範圍

8. 如申請專利範圍第1項所述之方法，其中該第一多晶矽層與第二多晶矽層的厚度約為200~1000埃。

9. 如申請專利範圍第1項所述之方法，其中該閘極氧化層的厚度約為500~1500埃。

10. 如申請專利範圍第1項所述之方法，其中該第一閘極於該第二閘極係為鈿、鉻或鈦/鋁/鈦的其中之一所組成。

11. 如申請專利範圍第1項所述之方法，其中該第一型電晶體係為NMOS電晶體，該第二型電晶體係為PMOS電晶體。

12. 如申請專利範圍第11項所述之方法，其中該第一摻質即為磷摻質。

13. 如申請專利範圍第11項所述之方法，其中該第二摻質即為硼摻質。

14. 如申請專利範圍第1項所述之方法，其中該第一型電晶體係為PMOS電晶體，該第二型電晶體係為NMOS電晶體。

15. 如申請專利範圍第14項所述之方法，其中該第一摻質即為硼摻質。

16. 如申請專利範圍第14項所述之方法，其中該第二摻質即為磷摻質。

17. 如申請專利範圍第1項所述之方法，其中該第一重摻雜係為源極與汲極。

18. 如申請專利範圍第1項所述之方法，其中該第二

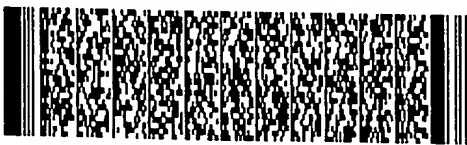


六、申請專利範圍

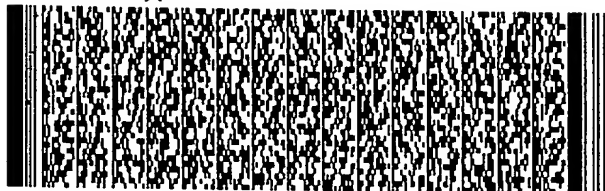
重摻雜係為源極與汲極。

19. 如申請專利範圍第1項所述之方法，其中該第一摻質的劑量約為 $3 \times 10^{13} \text{dose/cm}^2$ 至 $5 \times 10^{15} \text{dose/cm}^2$ 之間。

20. 如申請專利範圍第1項所述之方法，其中該第二摻質的劑量約為 $3 \times 10^{13} \text{dose/cm}^2$ 至 $5 \times 10^{15} \text{dose/cm}^2$ 之間。



第 1/18 頁



第 2/18 頁



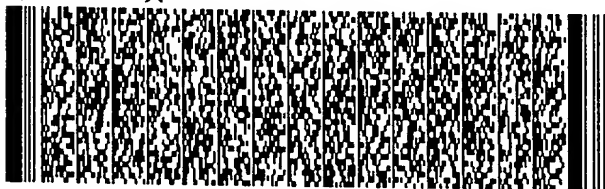
第 3/18 頁



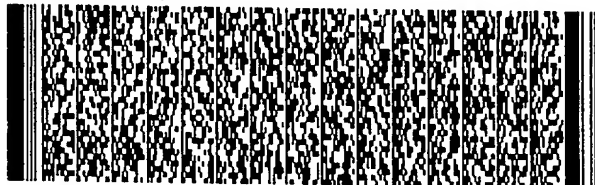
第 4/18 頁



第 5/18 頁



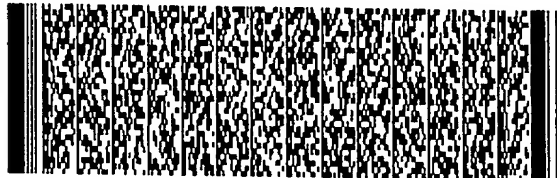
第 5/18 頁



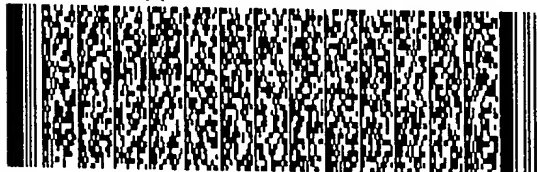
第 6/18 頁



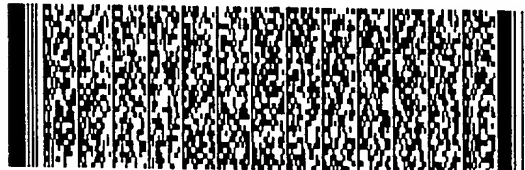
第 6/18 頁



第 7/18 頁



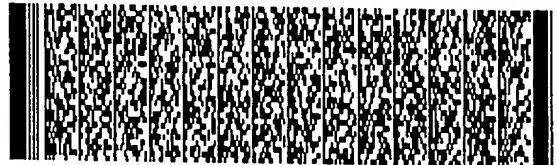
第 7/18 頁



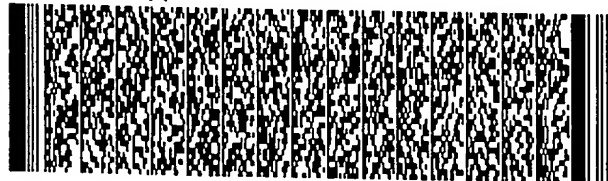
第 8/18 頁



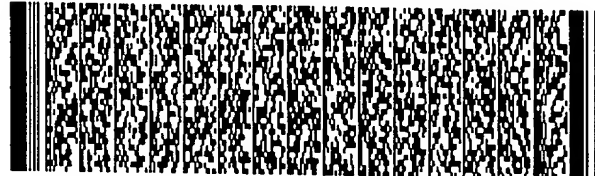
第 8/18 頁



第 9/18 頁



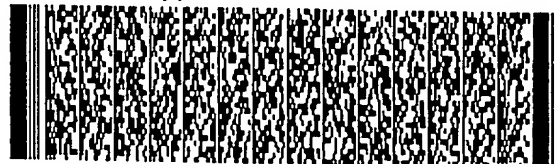
第 9/18 頁



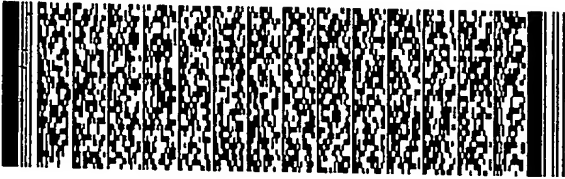
第 10/18 頁



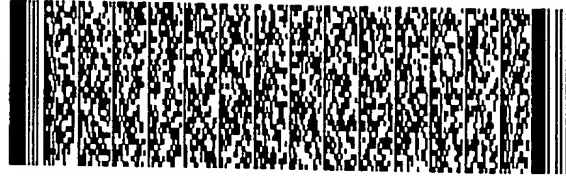
第 10/18 頁



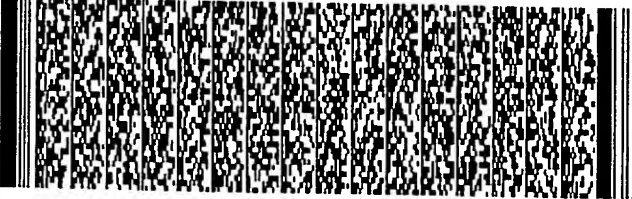
第 11/18 頁



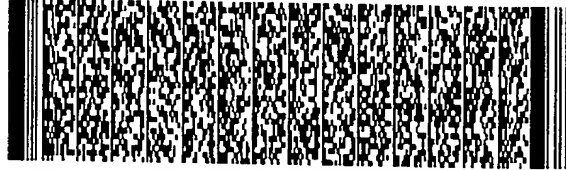
第 11/18 頁



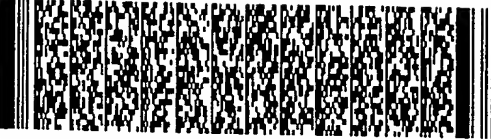
第 12/18 頁



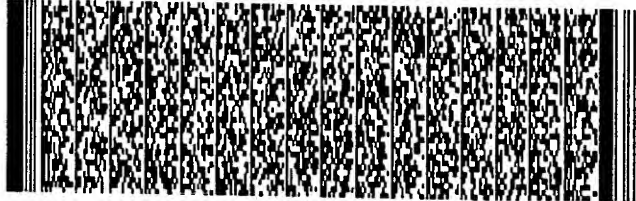
第 13/18 頁



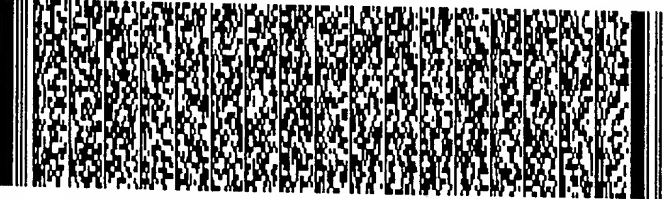
第 14/18 頁



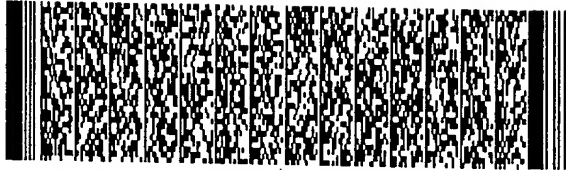
第 15/18 頁



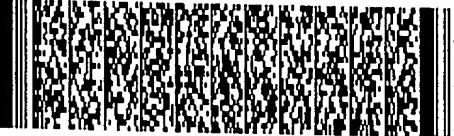
第 16/18 頁

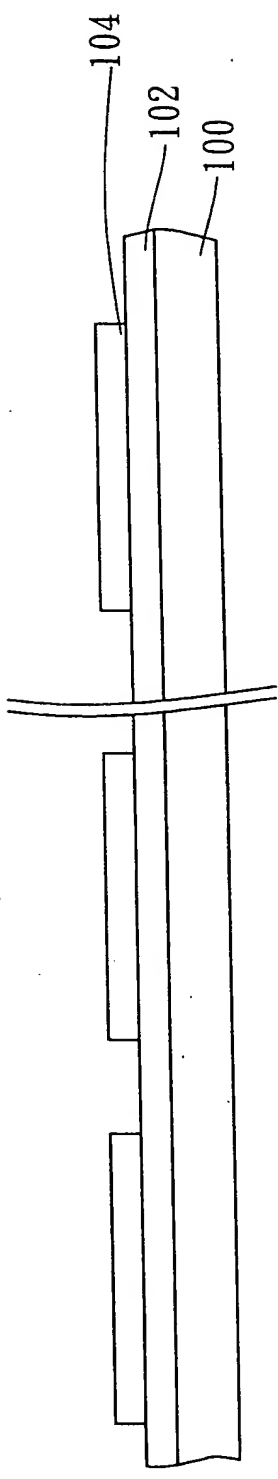


第 17/18 頁

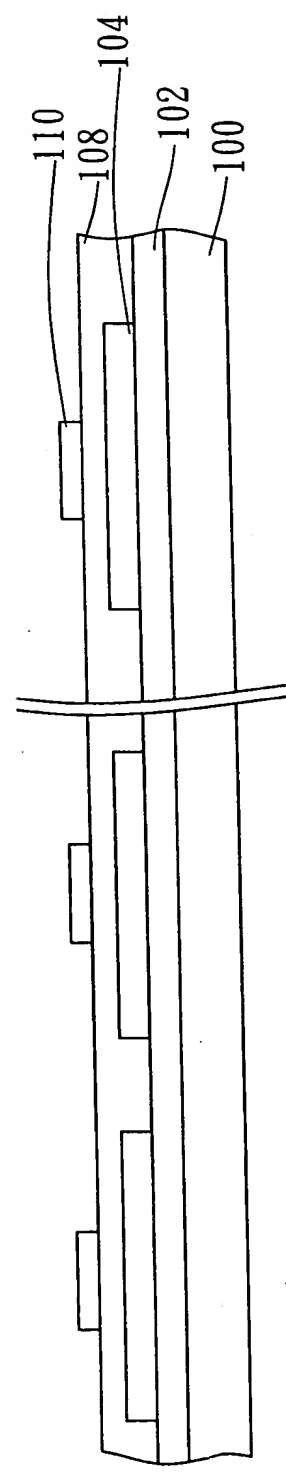


第 18/18 頁

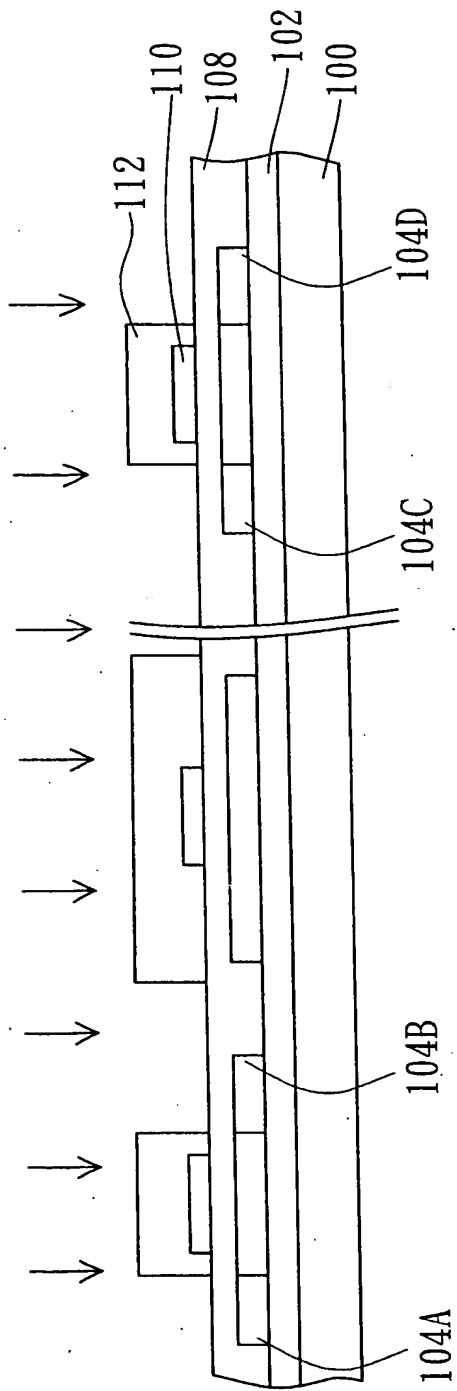




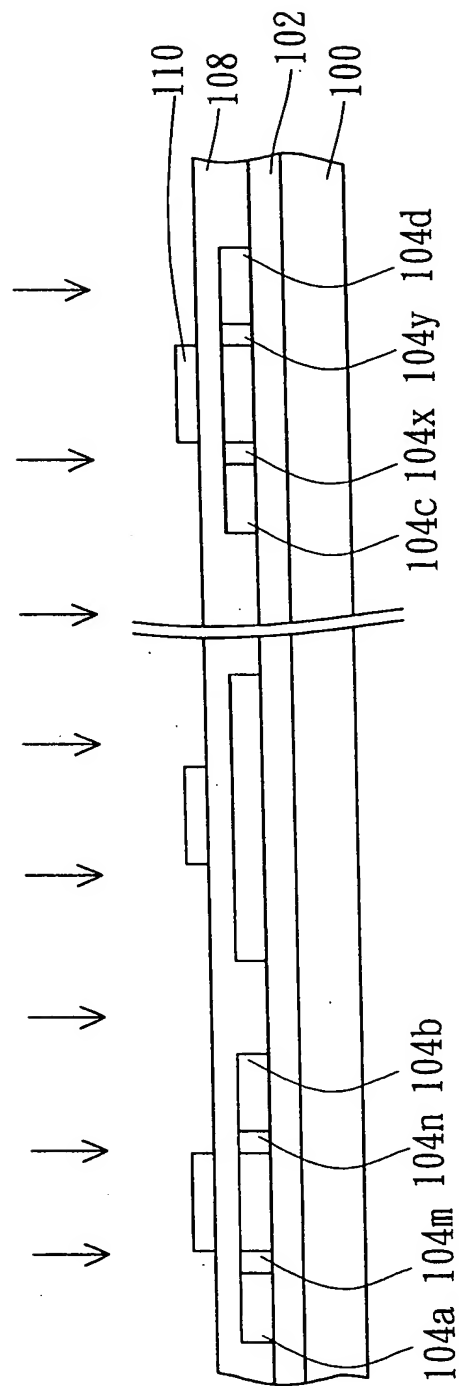
第 1A 圖



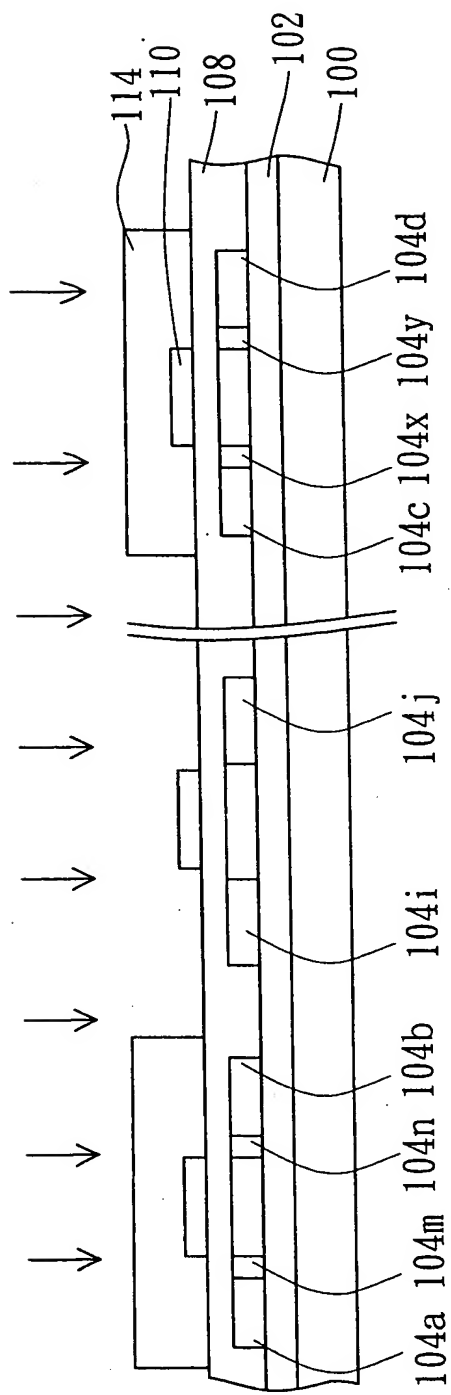
第 1B 圖



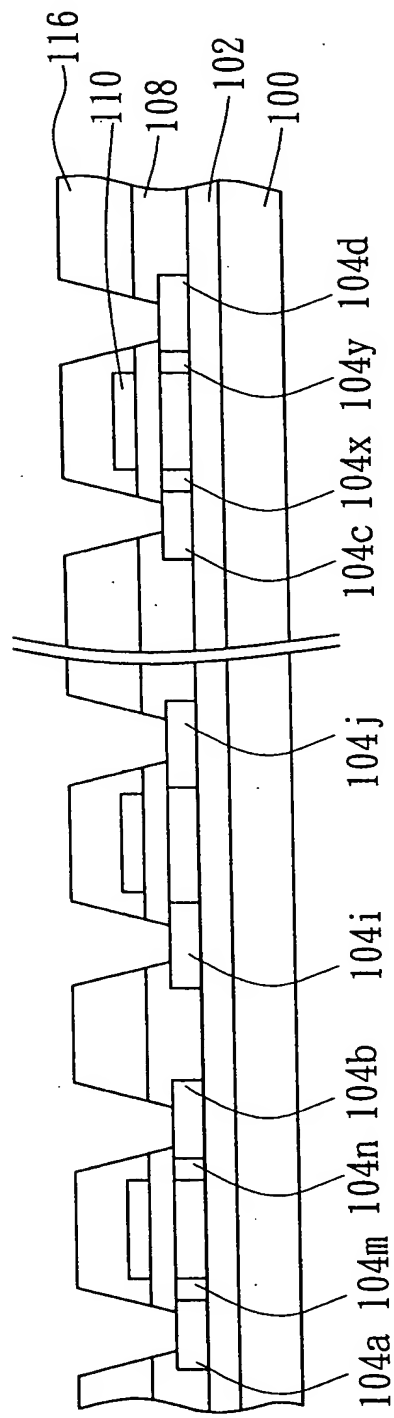
第 1C 圖



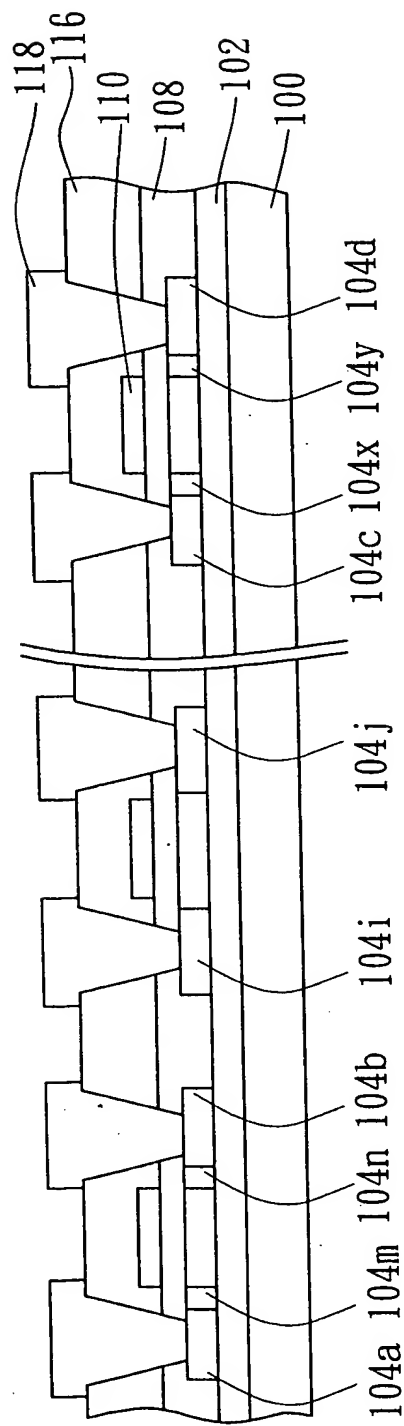
第 1D 圖



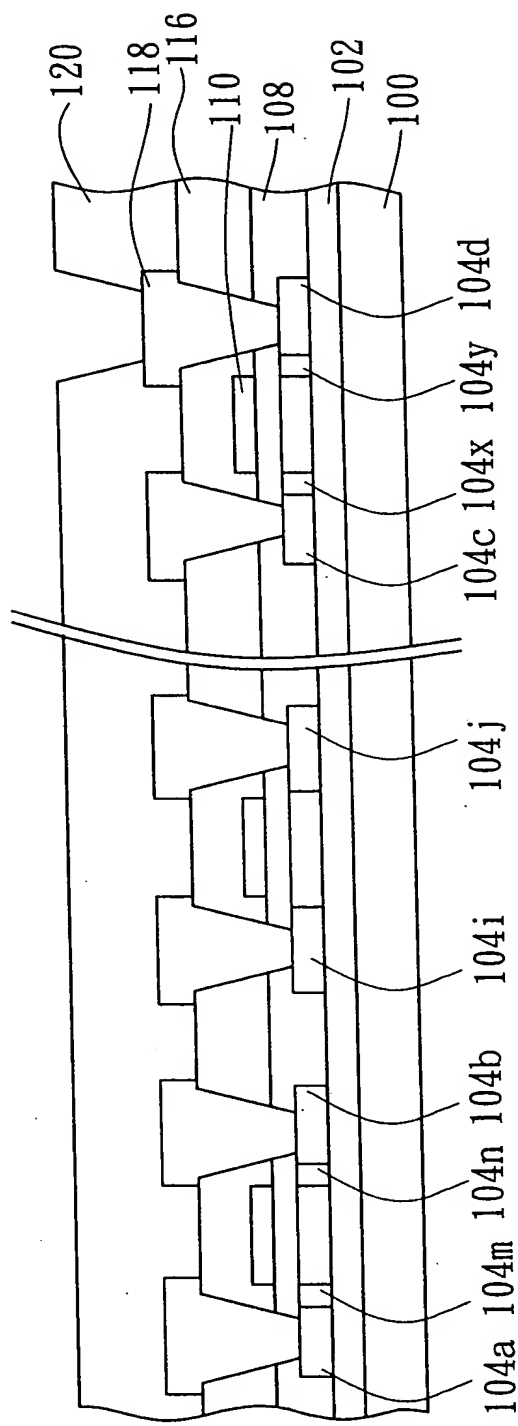
第 1E 圖



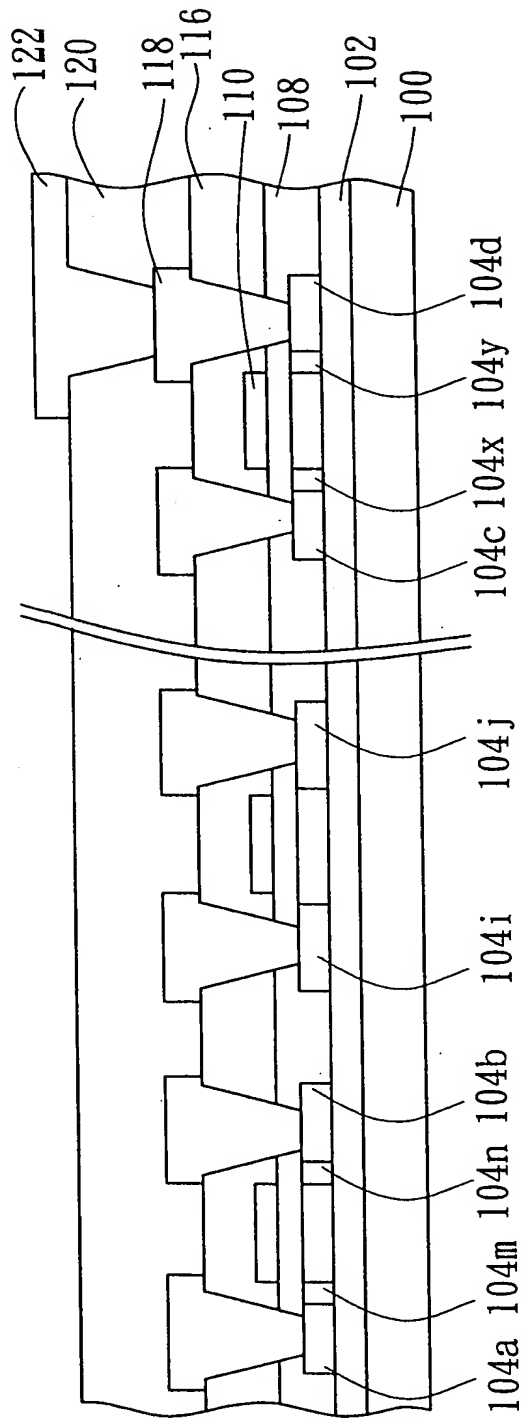
第 1F 圖



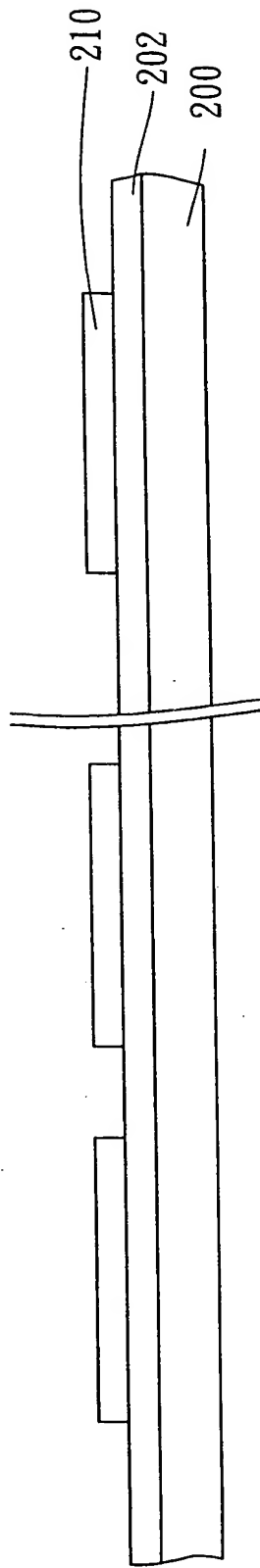
第 1G 圖



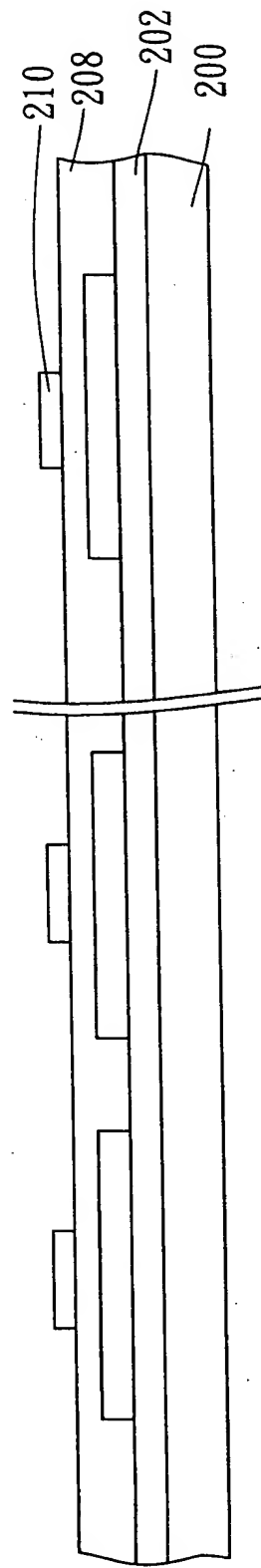
第 1H 圖



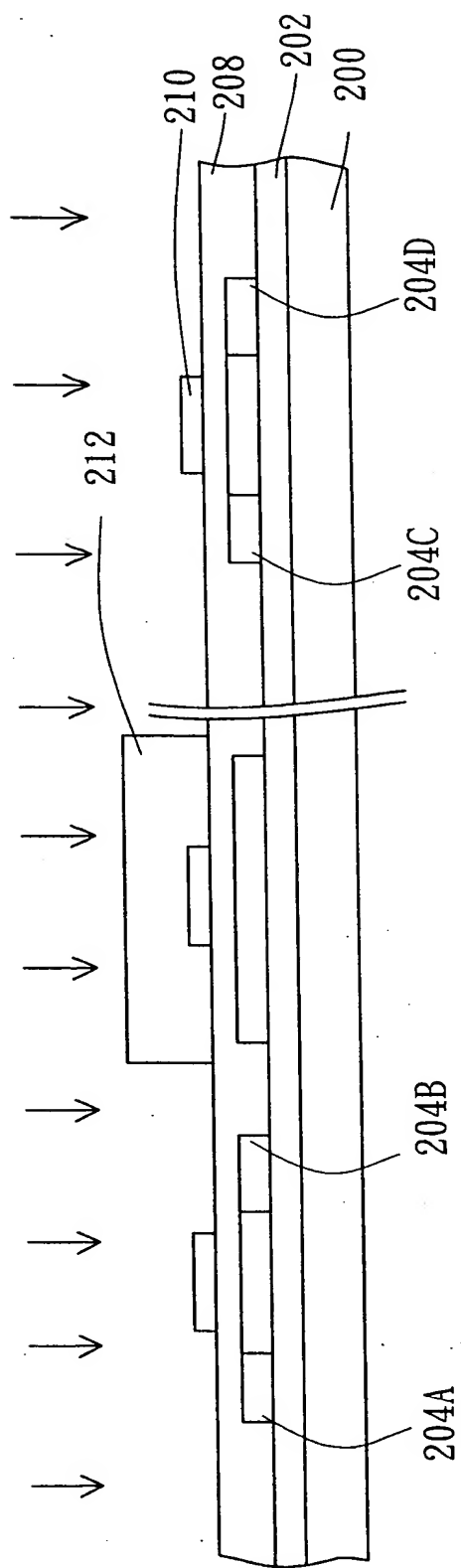
第 1 I 圖



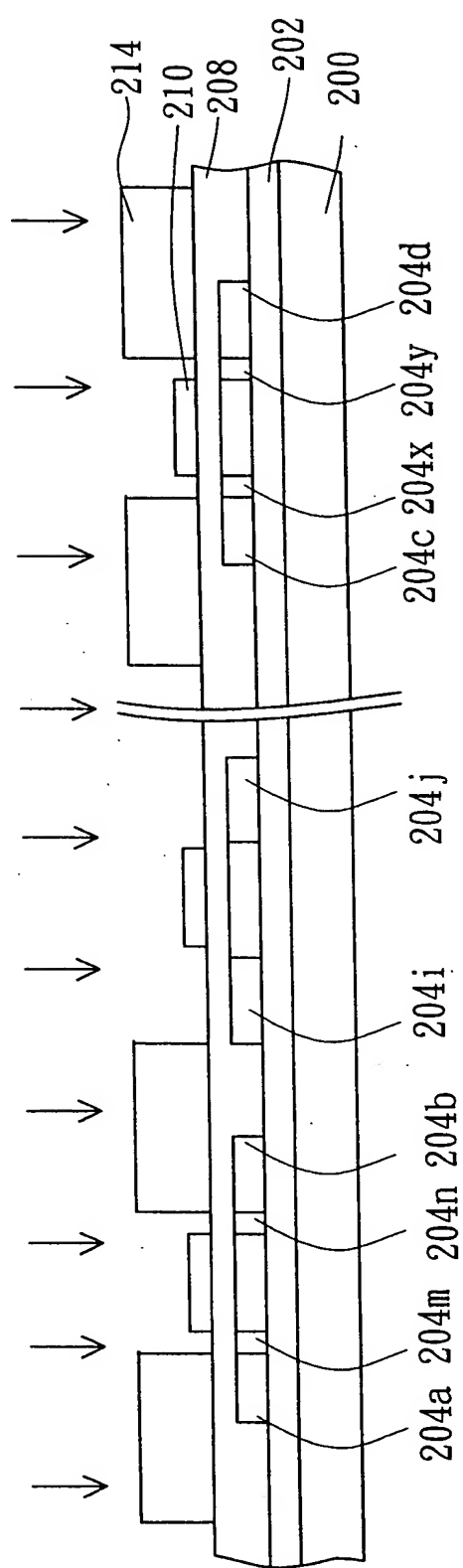
第 2A 圖



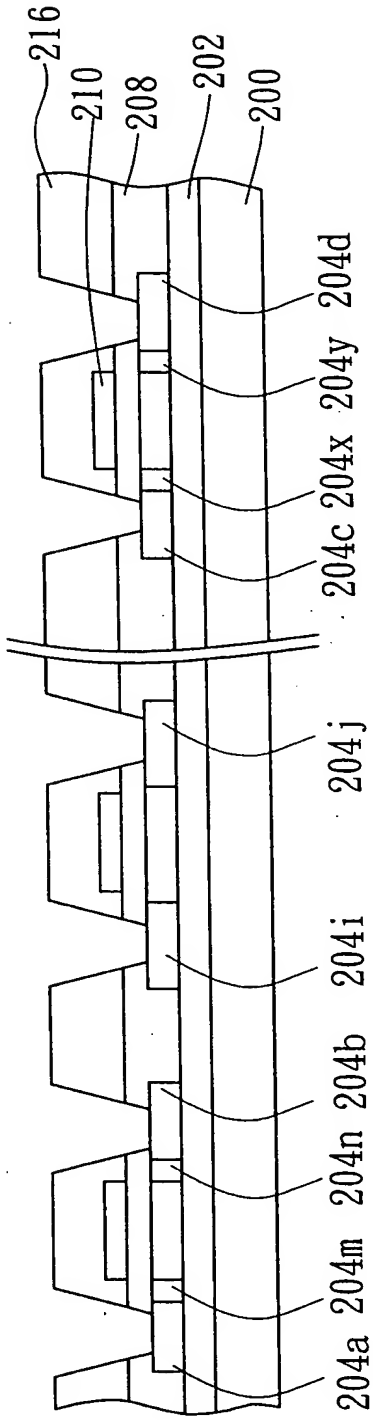
第 2B 圖



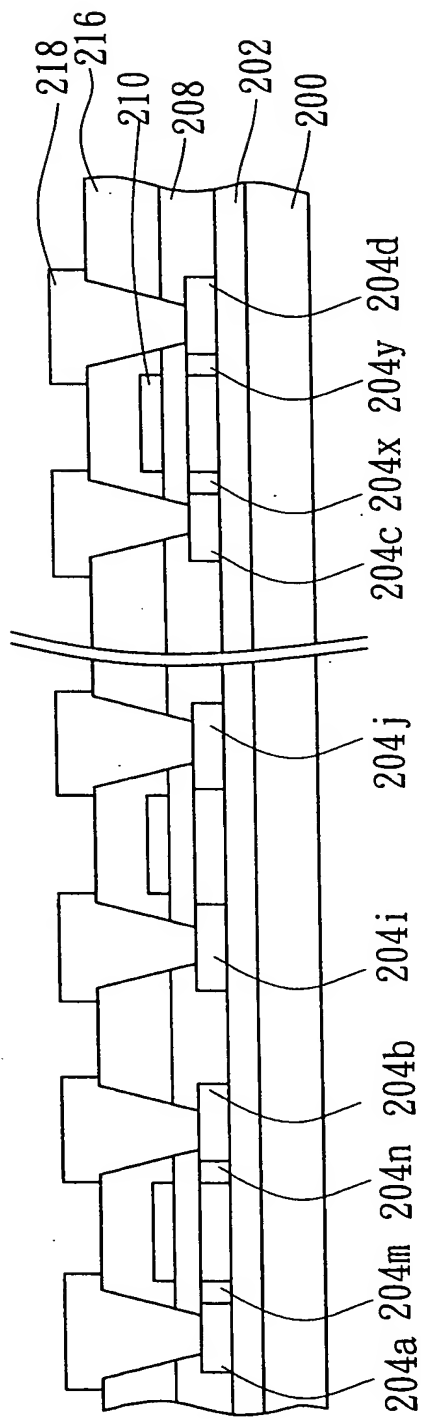
第 2C 圖



第 2D 圖

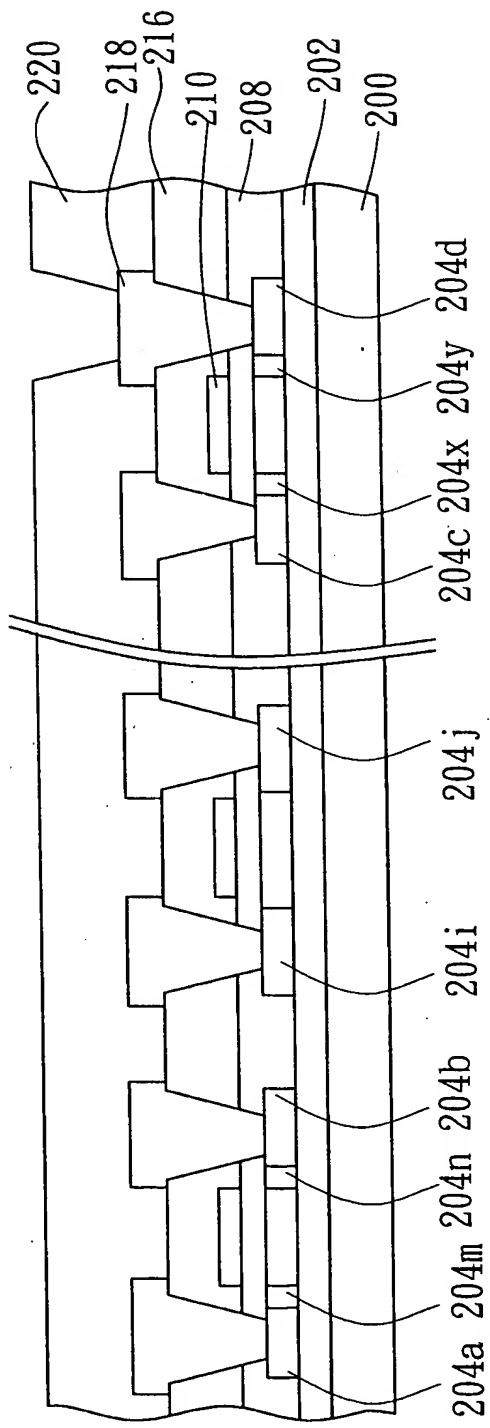


第 2E 圖

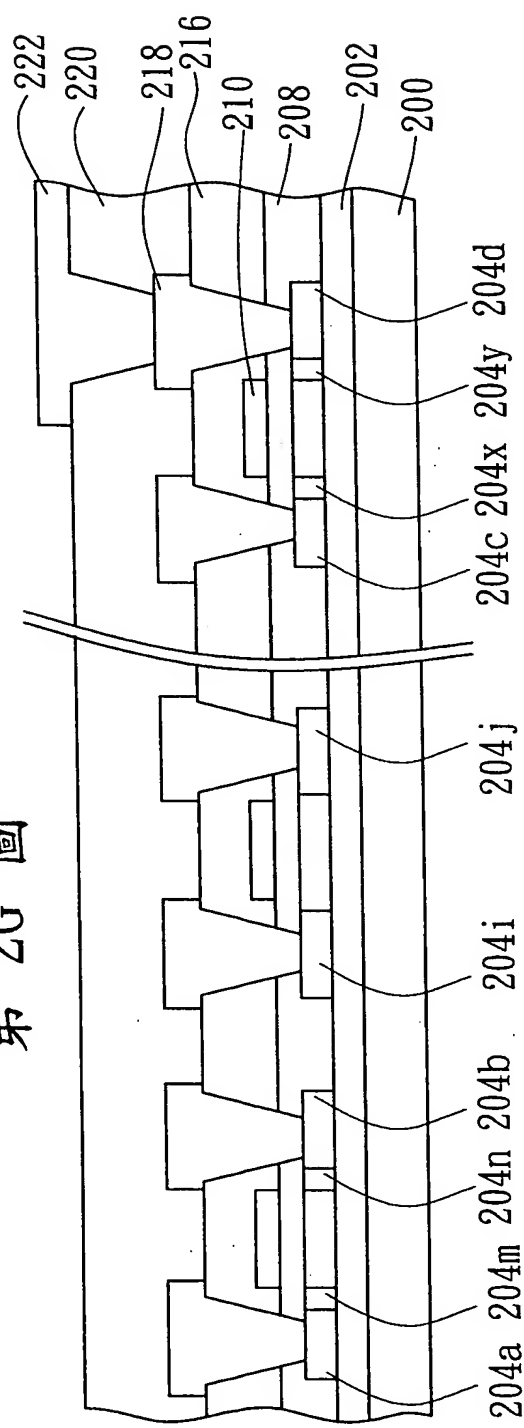


第 2F 圖

TW11661



第 2G 圖



第 2H 圖